

Requested Patent: JP2001265715A

Title:

AN APPARATUS FOR SIGNAL SYNCHRONIZATION BETWEEN TWO CLOCK DOMAINS ;

Abstracted Patent: EP1124179 ;

Publication Date: 2001-08-16 ;

Inventor(s): ROBERTSON IAIN (GB) ;

Applicant(s): TEXAS INSTRUMENTS LTD (GB); TEXAS INSTRUMENTS INC (US) ;

Application Number: EP20000301293 20000209 ;

Priority Number(s): EP20000301293 20000209 ;

IPC Classification: G06F5/06 ;

Equivalents: US2001042219 (US01042219)

ABSTRACT:

This invention is a data synchronous apparatus for synchronization between a first clock domain to a second clock domain asynchronous with the first clock domain. This invention provides for pipelining of data between the two clock domains. Plural synchronizer stages each include a data register (601, 602, 603, 604, 605) and a synchronizer circuit (611, 612, 613, 614, 615). The synchronizer circuit synchronizes a first domain write request signal to the second clock signal. a write pointer (625) enables one synchronizer stage to write first domain data upon receipt of said first domain write request signal (321). The write pointer thereafter increments to indicate a next synchronizer stage in a circular sequence. a read pointer (635) enables an indicated read stage to recall data from the corresponding data register upon output synchronization with the second clock signal. The read pointer thereafter increments to indicate the next synchronizer stage in the circular sequence. Plural first domain write request signals may simultaneously be in various states of synchronization with the second clock signal in corresponding ones of said synchronization stages.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-265715  
(P2001-265715A)

(43)公開日 平成13年9月28日 (2001.9.28)

| (51)Int.Cl.   | 識別記号  | FI            | マーク(参考) |
|---------------|-------|---------------|---------|
| G 0 6 F 13/42 | 3 5 0 | G 0 6 F 13/42 | 3 5 0 A |
| 1/12          |       | 13/38         | 3 1 0 A |
| 13/38         | 3 1 0 | 1/04          | 3 4 0 D |
|               |       |               | 3 4 0 A |

審査請求 未請求 請求項の数1 OL (全12頁)

(21)出願番号 特願2001-34039(P2001-34039)  
(22)出願日 平成13年2月9日(2001.2.9)  
(31)優先権主張番号 00301293.7  
(32)優先日 平成12年2月9日(2000.2.9)  
(33)優先権主張国 欧州特許庁 (EP)

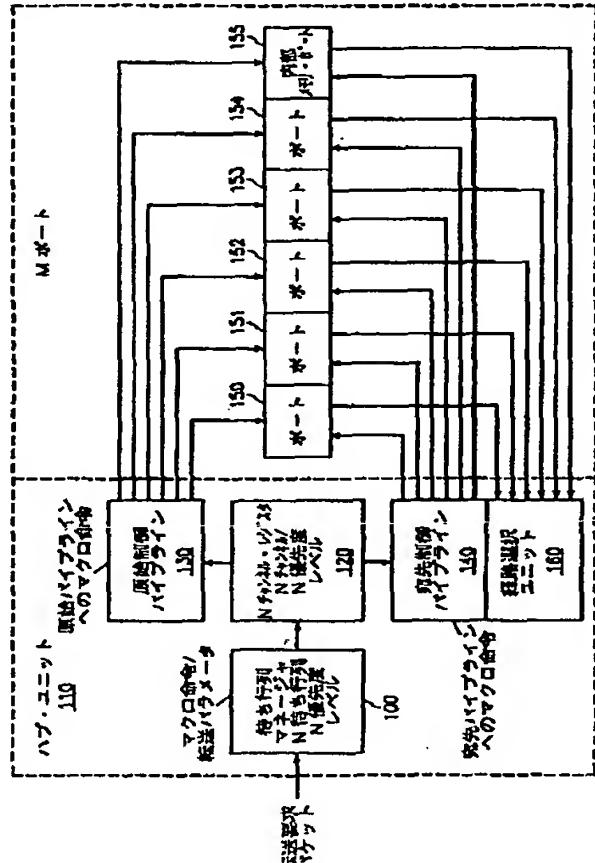
(71)出願人 590000879  
テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス、ノース  
セントラルエクスプレスウェイ 13500  
(71)出願人 598114756  
テキサス インスツルメンツ フランス  
フランス国 ニース、ビ ルレニユーブ  
ー マーキュスタスヨン テイエフ21、ボ  
ワト ポ スタル 5  
(74)代理人 100066692  
弁理士 浅村 皓 (外3名)

最終頁に続く

(54)【発明の名称】 2つの非同期クロック・ドメイン境界にわたる処理量を維持するためのパイプライン処理の同期装置

(57)【要約】

【課題】 クロック速度の異なるデバイス間で同期をと  
ってデータ転送を可能にする同期装置を提供する。  
【解決手段】 2つのクロックの間でデータのパイプラ  
イン処理を行う。複数の各同期装置ステージはデータ・  
レジスタ601-605と同期回路611-615を含  
む。同期回路は第1のクロックの書き込み要求信号と第  
2のクロック信号とを同期させる。書き込みポインタ62  
5により、1つの同期装置ステージは第1のクロックの  
書き込み要求信号を受けてデータを書き込み、書き込みポ  
インタを増分して次の同期装置ステージを表示する。読み  
取りポインタ635により、出力が第2のクロック信号  
と同期すると表示された読み取りステージは対応するデー  
タ・レジスタからデータを取り出し、読み取りポインタを  
増分して次の同期装置ステージを表示する。複数の第1  
のドメイン書き込み要求信号は、対応する同期装置ステ  
ージの中で第2のクロック信号と、同時に種々の同期状  
態にある。



## 【特許請求の範囲】

【請求項1】 第1のクロック・ドメイン内の信号を、前記第1のクロック・ドメインと非同期の第2のクロック・ドメイン内の信号に同期させる装置であって、複数の同期装置ステージを有し、それぞれの前記同期ステージが前記第1のクロック・ドメインの第1のクロック信号を受ける第1のクロック入力と、前記第2のクロック・ドメインの第2のクロック信号を受ける第2のクロック入力と、前記第1のクロック信号と同期する第1のドメイン入力信号を受ける第1のドメイン入力と、前記第1のドメイン入力信号に応じ且つ第2のクロック信号と同期する第2のドメイン出力信号を出力する第2のドメイン出力とを有し、書込みポインタを有し、前記複数の同期装置ステージの中の1つが書込みステージであるという表示を前記書込みポインタに記憶し、前記書込みポインタにより前記複数の同期装置ステージの中の前記1つは第1のドメイン入力信号を受けると前記第1のドメイン入力信号を入力し、次に前記書込みステージの前記記憶された表示を増分して前記複数の同期装置ステージの循環シーケンス内の次の同期装置ステージを表示し、読み取りポインタを有し、前記複数の同期装置ステージの中の1つが読み取りステージであるという表示を前記読み取りポインタに記憶し、前記読み取りポインタにより前記同期装置ステージの中の前記1つは前記第2のクロック信号と同期すると前記第2のドメイン出力を出し、次に前記読み取りステージの前記記憶された表示を増分して前記複数の同期装置ステージの前記循環シーケンス内の前記次の同期装置ステージを表示する、ことを備え、複数の第1のドメイン入力信号は前記同期ステージの対応する1つの中の前記第2のクロック信号と、同時に種々の同期状態にあるように、信号の同期をとる装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明の技術分野はデジタル・デバイス機能ブロックについてであり、一般にマイクロプロセッサ設計の領域に用いられ、より特定すると、デジタル・シグナル・プロセッサ・デバイスの領域に用いられる。

## 【0002】

【従来の技術】本発明は、英国特許出願番号第990919.6号、「ハブおよびポート構造を持つ転送コントローラ」、1999年4月16日出願、に用いられる。ハブとポートを持つ転送コントローラは、複雑なデジタル・システムにおけるデータ転送方法を大幅に改善したものである。この転送コントローラにより、かかるシステムの周辺でのポート・インターフェースを均一に実現することができる。かかるポートの一部は遅くてデータ処理量が比較的小小さく、また一部は比較的速くて中央プロセッサ・ユニットの処理量と速度を有する。デバイ

スのかかる2つの部分は2つの異なるクロック信号で駆動されることが多い。第1のクロック信号はコアまたは主プロセッサ・クロックと呼ばれる高い周波数を持つ。第2のクロック信号では周辺デバイス・クロックと呼ばれる。

## 【0003】

【発明が解決しようとする課題】高速のコア・デバイスが比較的低速の周辺デバイスとインターフェースするためには、外部ポート・インターフェースで同期をとる必要がある。要求や、データや、任意のマルチビット量を同期させるための従来の一般的な方法では、情報をレジスタに書き込んだ後で1つの信号を他のドメインに同期させてデータが有効且つ安定であることを示し、これによりデータを他のクロック・ドメインに読み取ることができる。データの全てのビットを個別に同期させると、データが信頼できなくなることがあるので望ましくない。同期装置がデータをサンプリングする時点でデータを同期装置に与えた場合、あるデータはこのサイクルでサンプリングされ、あるデータは1サイクル後にサンプリングされることがある。任意の一般的なクロック周波数関係を用いることが可能なときは、双方向に同期させることも必要である。

## 【0004】

【課題を解決するための手段】本発明は、第1のクロック・ドメインと、前記第1のクロック・ドメインに同期する第2のクロック・ドメインとの間の同期をとるためのデータ同期装置である。本発明は、デバイスの別の部分で2つのクロックを用いる任意のデジタル・デバイスに一般に適用することができる。特に相対高速部と相対低速部との間にデータを転送するのに有用である。通常は、高速部はプロセッサ・コアであり、相対低速部は入出力(I/O)デバイスである。

【0005】本発明は、非同期クロック信号を持つ2つのクロック・ドメインの間でデータのパイプライン処理を行うことを可能にする。本発明は浅い循環先入れ先出し(FIFO)メモリ要素を用い、全ての語はパイプライン処理された同期制御信号の管理の下に所定のステージの間で授受される。本発明は複数の同期装置ステージを含む。各同期装置ステージはデータ・レジスタと同期回路を含む。同期回路は第1のドメインの書込み要求信号を受け、この第1のドメインの書込み要求信号に応じ且つ第2のクロック信号と同期する第2のドメインの読み取り可能信号を出す。書込みポインタは、同期装置ステージの中の1つを書込みステージとする表示を記憶する。この書込みポインタの表示により、第1のドメインの書込み要求信号を受けると、表示された書込み同期装置ステージは第1のドメインのデータを対応するデータ・レジスタに書き込む。次に書込みポインタを増分して、循環シーケンスの中の次の同期装置ステージを表示する。

【0006】読み取りポインタは同期装置ステージの中の1つを読み取りステージとする表示を記憶する。読み取りポインタの表示により、第2のクロック信号と同期する対応する第2のドメイン読み取り可能信号が出力されると、表示された読み取りステージは対応するデータ・レジスタから第2のドメインのデータを呼び出す。次に読み取りポインタを増分して、循環シーケンスの中の次の同期装置ステージを表示する。マルチブレクサは、読み取りポインタが示すデータ・レジスタからの出力データを選択する。このように、複数の第1のドメインの書き込み要求信号は、同期装置ステージの中の対応するステージで第2のクロック信号と同期する種々の状態に同時になる。

#### 【0007】

【発明の実施の形態】本発明は、転送コントローラ・ハブとその外部ポートとの間で、ハブからポートに送られる要求/書き込みデータ信号と、ポートからハブに送られるデータ読み取り信号を授受することを可能にする方法を提供する。どちらの場合も、ハブ・クロックとポート・クロックとの間の周波数関係を完全に任意にする方法が不可欠である。通常の動作では、これらの2つのクロックの間の周波数関係には少なくとも多少の制限があるのが普通である。しかし本発明を用いると、アプリケーションで必要であれば任意の大きさだけポートを遅らせることができる。また、ハブは非常に低周波で動作するが一方で通常の速度で動作するポートに接続する、という回路内エミュレーションが可能になる。

【0008】ハブおよびポート構造を持つ転送コントローラの開発に共通する設計思想を適用して、本発明はハブの帯域幅が決して浪費されないようにすることを目指す。このために重要なのは、要求待ち行列をポートから出すときは非常に遅いが、ポートに入れるときは可能な最大ハブ速度で行うことである。このようにプロセスの初めには要求の初期バーストを生成し、その後で通常ポートが要求を処理する速度で要求を生成する。これにより、他の優先度の低い要求のハブの帯域幅を動作期間中のできるだけ早い時期に利用可能にすることができる。重要な結果は、ハブはサイクル毎に1つの速度で要求を生成し、これをポートに転送する同期装置を用いることによりこれらの読み取り/書き込み命令を許容できる速度で放送するという要求を十分満たすことができる、ということである。

【0009】図1は、ハブとポートを持つ転送コントローラの主な機能のブロック図を示す。ハブとポートを持つ転送コントローラは基本的にデータ転送コントローラであって、要求待ち行列マネージャ100をそのフロントエンド部に備えて転送要求パケットの形のデータを受け、優先度を決め、送出する。要求待ち行列マネージャ100はハブ・ユニット110内でチャンネル・レジスタ120に接続する。チャンネル・レジスタ120はデータ転送要求パケットを受けて、まずデータの優先度を

決め、それぞれが優先度レベルを表すNチャンネルの中の1つにパケットを割り当てる。これらのチャンネル・レジスタは、原始(読み取り)動作と宛先(書き込み)動作のためのアドレス計算ユニットとして、原始制御パイプライン130と宛先制御パイプライン140とにインターフェースする。

【0010】これらのパイプラインからの出力はM個のポートに放送される。かかる6個のポート150から155を図1に示す。これらは、主プロセッサ・クロック周波数か、またはそれより低い外部デバイス・クロック周波数でクロックされる。1つのポート(例えばポート153の宛先書き込みアドレスを有するポート150)から読み取られたデータは、経路選択ユニット160を通してハブ宛先制御パイプライン140に返される。

【0011】各ポートは2つのセクションに分割される。アプリケーション専用の設計はアプリケーション・ユニットすなわちAUと呼ばれる。これはホスト・ポート・インターフェース(HPI)または外部メモリー・インターフェース(EMIF)である。アプリケーション・ユニットとハブとの間は、ハブ・インターフェース・ユニットすなわちHIIUと呼ばれるモジュールである。

【0012】ハブ・インターフェース・ユニットは複数の機能を行う。ハブ・インターフェース・ユニットはデータの読み取りおよび書き込みをある程度緩衝して書き込み駆動処理を支援する。ハブ・インターフェース・ユニットは転送コントローラの原始制御パイプライン130と宛先制御パイプライン140からの読み取りおよび書き込み命令の優先度を決め、ポートからは両アクセス方式を統合した单一インターフェースに見えるようにする。ハブ・インターフェース・ユニットの最後の機能は、外部ポート・インターフェース・クロック・ドメインとコア・プロセッサ・クロック・ドメインとを切り離すことである。

【0013】図2は、同期装置200を持つハブ・インターフェース・ユニットの高レベルのブロック図を示す。これは、ポインタ625および635と、FIFOレジスタ・ステージ601から605と、アプリケーション・ユニット208とのそのインターフェースを含む。ハブ・インターフェース・ユニットの主な機能ブロックは、ハブ・インターフェース・ユニット制御論理207と、ハブ・インターフェース・ユニット読み取り待ち行列205と、ハブ・インターフェース・ユニット書き込み要求待ち行列206と、ハブ・インターフェース・ユニット読み取り応答待ち行列203を含む。原始制御パイプライン入力649と宛先制御パイプライン入力659は、ハブ・ユニット110からハブ・インターフェース・ユニットの読み取り待ち行列205と書き込み要求待ち行列206にそれぞれ送られる。ハブ・インターフェース・ユニット制御論理207は、命令やアドレスや書

込みデータを含むこれらの語を処理する。ハブ・インターフェース・ユニットは、同期装置220に送られる例え書込み要求信号321などの命令信号を生成する。またハブ・インターフェース・ユニットは、書込みデータ660と共にアプリケーション・ユニットに送られる例え非空(not-empty)信号332などの状態信号を生成する。読み取り動作では、アプリケーション・ユニットはそのデータ690をハブ・インターフェース・ユニットに送る。

【0014】ハブ・インターフェース・ユニットのかかる主な機能ブロックは、宛先制御バイオライン140から来るデータ650を、ハブ・インターフェース・ユニットFIFOレジスタ・ステージ601から605を通して、書込みデータ660を経てアプリケーション・ユニット208に送る。同様に、アプリケーション・ユニット208から返る読み取りデータ690を、ハブ・インターフェース・ユニットFIFOレジスタ・ステージ601から605を通して、読み取りデータ680としてハブ・インターフェース・ユニット読み取り応答待ち行列203に入れる。次にこれを読み取りデータ679として経路選択ユニットに送る。図6に示す論理の2つの場合

(後で説明する)は図2のFIFOレジスタ・ステージ601から605に含まれるということに注意していただきたい。第1の場合は、ハブ・インターフェース・ユニットからアプリケーション・ユニットに書込みデータ650および書込みデータ660としてデータを送る。第2の場合は、アプリケーション・ユニットからハブ・インターフェース・ユニットに読み取りデータ690および読み取りデータ680としてデータを返す。

【0015】本発明の好ましい実施の態様では、ハブ・インターフェース・ユニットはクロック・ドメインa(主プロセッサ・クロック)内で動作する。アプリケーション・ユニットはクロック・ドメインB(アプリケーション・ユニット・クロック)内で動作する。通常、クロックaはクロックBより周波数が高いが、必ずしもそうでないこともある。いずれにしても、かかる2つの機能ユニットが2つの別のクロック・ドメイン内で正しく動作するためには同期装置ブロック202が必要である。この同期が本発明の主題である。

【0016】同期遅れについて以下のことを考える。クロック・ドメインa内の信号はドメインB内の2個のフリップフロップを通すことによりクロック・ドメインBと同期させることができる、ということに注意していただきたい。これについては後で図4を参照して更に説明する。2つのドメインの間の位相関係に従って、ドメインa信号をドメインB内で認識するには、1つのBクロック・サイクルより大きく2つのBクロック・サイクルより小さい端数のクロックだけかかる。更に、ドメインa信号はドメインaフリップフロップの出力でなければならない。これが組合せ論理の出力の場合は、評価中の

信号の移行状態がドメインB内にサンプリングされて信号の有効な状態と解釈される可能性がある。

【0017】ドメインa信号は、ドメインBのクロック・エッジで捕らえられるのに十分な時間有効でなければならない。したがって信号がドメインの間を通るには一般に3フリップフロップ、最悪の場合は1つのaクロック・サイクルと2つのBクロック・サイクルを加算した時間かかる。この必要な時間をTとする。同期させるドメインa内の事象の時間間隔がTよりある程度長い場合は、簡単な入力可能および出力可能制御を持つ一般的なFIFOを用いればよい。

【0018】Tに制限を設けない更に一般的な方法は、本発明の循環FIFOを用いる方法である。同期装置のタスクの基本的な動作は次の通りである。ドメインaはドメインBに転送可能なデータを有することを知らせる。ドメインBはこのデータを受けたことをドメインaに回答する。これによりドメインaは別のデータを送ることができる。

【0019】図3は、同期したクロックと制御を付随するFIFOステージに与え、かかる双方向同期装置の1ステージの構成を示す。双方向同期装置の各ステージに、後で示すFIFOステージが付随する。図3の下側の部分はドメインaを含む。ドメインa書き込みクロック320により、付随するFIFOステージの入力にデータを書込む。図3の上側はドメインBを含む。ドメインB読み取りクロック330により、付随するFIFOステージの出力からデータを読み取る。

【0020】書き込み要求信号321が活動状態になると、同期装置データバスFIFOレジスタ・ステージ601から605への書き込みを要求する。フル信号322が活動状態になった場合はこの書き込み要求は拒否される。FIFOは一杯で、直ちに書き込み動作を行うことはできない。同様に、読み取り要求信号331が活動状態になると、同期装置データバスFIFOレジスタ・ステージ601から605からの読み取りを要求する。非空信号332が活動状態になった場合にこの読み取り要求は受け付けられる。非空信号332は、別の有効な読み取りデータがFIFO内にあることを示す。

【0021】図4は、図3の同期論理ブロック302および312の詳細を示す。同期論理ブロック302では、ドメインB読み取りクロック330が2個のフリップフロップ401および402に与えられる。フリップフロップ401および402は前にこのFIFOステージでデータを入力したためにハイ状態にあると仮定する。次のドメインB読み取りクロック330に同期してフリップフロップ401および402はクリアされる。

【0022】図3に戻って、非同期エッジ検出器301が新しい書き込み入力信号を検出するとその出力はハイになる。したがって同期論理ブロック302の入力は再びハイになる。このため、フリップフロップ401および

402は更に2つのドメインB読み取りクロック信号330の後でハイになる。その結果、書き込み入力信号がドメインaで起動すると、同期論理ブロック302は活動状態になって、ドメインBの読み取り動作に同期する。

【0023】図4は、ドメインaの同期論理ブロック312の詳細を示す。同期論理ブロック312では、書き込みクロック320が2個のフリップフロップ411および412に与えられる。フリップフロップ411および412は前にこのFIFOステージでデータを読み取ったためにハイ状態にあると仮定する。次のドメインaクロック信号320に同期してフリップフロップ411および412はクリアされる。

【0024】図3に戻って、非同期エッジ検出器311が新しい読み取り入力信号を検出するとその出力はハイになる。したがって同期論理ブロック312の入力は再びハイになる。このため、フリップフロップ411および412は更に2つのドメインa書き込みクロック信号320の後でハイになる。その結果、読み取り入力信号がドメインBで起動すると、同期論理ブロック312は活動状態になってドメインaの書き込み動作に同期する。

【0025】図5は、図3に示した非同期エッジ検出器301および311の詳細を示す。図5のドメインBの非同期エッジ検出器301では、ドメインB読み取りクロック330が2個のフリップフロップ501および502に与えられる。これらのフリップフロップへの同期ブロック・クリア信号352は同期しており、アクティブ・ハイである。次に入力信号371がハイで、且つ同期ブロック・クリア信号352とフリップフロップ501および502の各D入力544および545との間にインバータ542があると、フリップフロップ501および502のQ出力はドメインB読み取りクロック330の立上がりエッジで共にローになる。各フリップフロップ501および502のアクティブ・ローのセット入力546および548は非同期である。かかるセット入力546および548がローになると、フリップフロップ501および502の各Q出力550および351はハイになる。

【0026】非同期エッジ検出器301は次のシーケンスを行う。同期論理ブロック302からの同期ブロック・クリア信号352がハイになると、インバータ542を介して入力544および545はローになる。ドメインB読み取りクロック信号330の正のエッジが1つ来ると、フリップフロップ501および502のQ出力は共にローになる。次に入力信号371が数ナノ秒程度の短時間ローになると、フリップフロップ501は非同期で直ちにハイにセットされる。入力信号371がハイ状態に戻ると、フリップフロップ502は非同期でハイにセットされる。フリップフロップ502がハイになるということは、入力信号371は今はハイであり前はローであったことを示す。このようにして非同期エッジ検出器

301は立上がりエッジを検出する。

【0027】同様に、ドメインaの非同期エッジ検出器311では、ドメインa書き込みクロック320が2個のフリップフロップ511および512に与えられる。これらのフリップフロップへの同期ブロック・クリア信号362は同期しており、アクティブ・ハイである。次に入力信号381がハイで、且つ同期ブロック・クリア信号362とフリップフロップ511および512の各D入力544および545との間にインバータ542があると、フリップフロップ511および512のQ出力はドメインa書き込みクロック320の立上がりエッジで共にローになる。各フリップフロップ511および512のアクティブ・ローのセット入力546および548は非同期である。かかるセット入力546および548がローになると、フリップフロップ511および512の各Q出力560および361はハイになる。

【0028】非同期エッジ検出器311は次のシーケンスを行う。同期論理ブロック312からの同期ブロック・クリア信号362がハイになると、インバータ542を介して入力544および545はローになる。ドメインa書き込みクロック信号320の正のエッジが1つ来ると、フリップフロップ511および512のQ出力は共にローになる。次に入力信号381が数ナノ秒程度の短時間ローになると、フリップフロップ511は非同期で直ちにハイにセットされる。入力信号381がハイ状態に戻ると、フリップフロップ512は非同期でハイにセットされる。フリップフロップ512がハイになるということは、入力信号381は今はハイであり前はローであったことを示す。このようにして非同期エッジ検出器311は立上がりエッジを検出する。

【0029】図6は、図2の同期装置/ポイントFIFO202のFIFOレジスタステージ601から605と、マルチステージ双方向同期装置611から615と、書き込みポインタ/デコーダ625と、読み込みポインタ/デコーダ635を示す。FIFOレジスタ・ステージの番号は601、602、603、604、605である。双方向同期装置ブロック611、612、613、614、615は図3、4、5で説明した全ての論理を含む。読み取り要求信号331、非空信号332、書き込み要求信号321、フル信号322は制御情報を双方に伝え、これらの信号の状態と書き込みおよび読み取りポインタに従って、個別のFIFOステージでのデータの書き込みまたはFIFOからのデータの読み取りを制御する。

【0030】書き込みはステージ601からステージ605に昇順に進んだ後、601から再開する。このようにFIFO書き込みポインタ/デコーダ625は循環FIFO動作を指示する。同様に、読み取りはステージ601からステージ605に昇順に進んだ後、601から再開する。このようにFIFO読み取りポインタ/デコーダ63

5も循環FIFO読み取り動作を指示する。

【0031】同期装置の動作により、書き込みを行うのはそのステージに活動状態の書き込み可能信号624入力を受けたレジスタ・ステージだけである。また活動状態のステージは空でなければならない。すなわち、前に入力がなかったか、または対応するフル・ビット信号626が示すようにそのステージの最後のエントリはすでに読み取られている。書き込みデータ650は全てのレジスタ・ステージに並列に与えられるが、書き込み可能信号624により書き込むよう選択されるレジスタ・ステージは1つだけである。同様に、同期装置の動作により、読み取りを行うのはそのステージに活動状態の読み取り可能信号634入力を受けたレジスタ・ステージだけである。活動状態のレジスタ・ステージはすでにエントリを受けている。読み取りポインタに対応するマルチプレクサ選択信号637により、マルチプレクサ685から出力する読み取りデータ680が選択される。

【0032】図6に示す論理の2つの場合は図2の各FIFOレジスタ・ステージ601から605の中に含まれるということに注意していただきたい。第1の場合では、書き込みデータはハブ・インターフェース・ユニットから書き込みデータ650と書き込みデータ660を介してアプリケーション・ユニットに送られる。第2の場合では、読み取りデータはアプリケーション・ユニットから読み取りデータ690と読み取りデータ680を介してハブ・インターフェース・ユニットに返される。

【0033】図7は、同期装置の動作の原理を流れ図の形で示す。ハブ・インターフェースからアプリケーション・ユニットへの書き込み動作は次の通りである。書き込み要求信号321は、ドメインa書き込みクロック信号320のアクティブ・エッジで（ブロック701）活動状態になる（ブロック702）。ドメインa書き込みクロックと書き込み要求信号を用いて、データをFIFOレジスタ・ステージ601から605に書き込む（ブロック703）。これは1サイクルの間有効である。書き込みポインタ625を増分する（ブロック704）。これによりセット／リセット・ラッチ313をセットして、レジスターが一杯であることをフル信号322を介して示す（ブロック705）。

【0034】フル信号322の立上がりエッジを非同期エッジ検出器301が捕らえる（ブロック706）。非同期エッジ検出器301の出力を同期論理ブロック302に送る（ブロック707）。同期論理ブロック302の出力がドメインB内のセット／リセット・ラッチ303をセットして、レジスターが一杯であることを非空信号を介して示す（ブロック708）。同期論理ブロック302の出力は非同期エッジ検出器301と同期論理ブロック302をリセットする（ブロック709）。これにより同期装置の出力は1サイクルの間だけハイになる。

【0035】図8は、逆方向の全く同じ過程を示す。図

8はアプリケーション・ユニットからハブ・インターフェース・ユニットへの読み取り動作を示す。読み取り要求信号331はドメインB読み取りクロック信号330のアクティブ・エッジで（ブロック801）活動状態になる（ブロック802）。ドメインB読み取りクロック330と読み取り要求信号を用いて、データをFIFOレジスタ・ステージ601から605に読み取る（ブロック803）。これは1サイクルの間有効である。読み取りポインタ635を増分する（ブロック804）。これによりセット／リセット・ラッチ303をリセットして、レジスターが一杯であることを非空信号332を介して示す（ブロック805）。

【0036】インバータ334から与えられた非空信号332の立下がりエッジを非同期エッジ検出器311が捕らえる（ブロック806）。非同期エッジ検出器311の出力を同期論理ブロック312に送る（ブロック807）。同期論理ブロック312の出力はドメインa内のセット／リセット・ラッチ313をクリアして、レジスターが一杯でないことをフル信号322により示す（ブロック808）。同期論理ブロック322の出力は非同期エッジ検出器311と同期論理ブロック322をリセットする（ブロック809）。これにより同期装置の出力は1サイクルの間だけハイになる。

【0037】別の実施の態様では、図に示すセット／リセット・ラッチ303および313の代わりに、D入力を制御する論理内にセットおよびクリア項を考慮した、トリガされたフリップフロップを用いることができる。

【0038】本発明の新規性は、各ステージが双方向同期装置とその関連するFIFOレジスタ・ステージを有する図6の内容を何度も繰り返すことにある。これは同期過程をバイブライン処理することにより、複数の信号を種々の同期のステージにすることができる。したがって、同期遅れがこれよりはるかに大きい場合でも、新しいデータをサイクル毎に同期させることができる。書き込みポインタ625と読み取りポインタ635は、任意の所定のサイクルでどのレジスター／同期装置の組合せを用いるかを決定するのに用いられる。これらは、最大番号のレジスター／同期装置の組合せにアクセスした後でゼロに返る増分器そのものとして用いられる。書き込みポインタ625は、エントリを書き込む度にドメインa内で増分する。したがって次のサイクルで、次のエントリのための一杯ラッチの値により、次のエントリを書き込むことができるかどうか決まる。同様に、読み取りポインタ635はエントリを取り出す度にドメインB内で増分する。これは全体的に循環FIFOと見ることができる。

【0039】FIFO内の必要なエントリの数は多くの要因によって決まる。クロックの関係に全く制限がない場合は、必要なエントリの数を決定する条件は従属ドメイン（この場合はドメインB）が主ドメイン（この場合はドメインa）と同じ周波数で動作しているときであ

る。ドメインaがサイクル毎に新しいエントリを書き込むことができ、且つドメインBがサイクル毎に新しいエントリを読み込むことができる場合は、エントリの数はドメインa内のセット/リセット・ラッチ313をセットしたときから次にそれをクリアするまでに要する最大時間で決まる。

【0040】これがNドメインaサイクルの場合は、ドメインaが新しいエントリをサイクル毎に無期限に書き込むことを可能にするためには、FIFO内に少なくともNエントリが存在しなければならない。Nより少ないと、書き込みポインタがあるエントリに回ってきたとき、そのエントリは前に書き込んだ後でまだ空であるとマークされていないのでドメインaは停止しなければならないことを意味する。一般に一巡時間はドメインaとドメインBのサイクルの混合から成り、切り上げてドメインaサイクルの次の整数にしなければならない。

【0041】アプリケーションの要求によっては必要なエントリの数は上に述べた数より少い場合がある。例えば、ドメインBが常にドメインaより遅い場合、またはドメインBがサイクル毎にエントリを読み取ることができない場合は、エントリが少なくてもシステムの性能に影響を与えない。同期装置の深さがより大きい場合でも、ドメインaはとにかく停止しなければならない。

【0042】別のアプリケーションは、ネットワーク装置におけるドリブルダウン・バッファとの置換である。この場合は、ある最長時間の間データがサイクル毎に到着し、その次に休止が来る。その一例はイーサネット（登録商標）・フレームの後にインターフーム・ギャップが来る場合である。この場合はドメインaとBは一般に同じ公称周波数を有するが、許される許容差（例えば1%の偏差）は小さい。ドメインBがドメインaより遅い場合は、1フレームの継続時間中にFIFOは一杯になる。この場合は、最悪の場合の許容差を持つ最大サイズのフレームが終わるまでにFIFOが完全に一杯にならないように、エントリの数を十分大きくしなければならない。この場合はフレームの間のギャップを用いてバランスを回復する。実際に、ドメインB内のギャップはドメイン内のギャップよりやや小さい。

【0043】以上の説明に関して更に以下の項を開示する。

(1) 第1のクロック・ドメイン内の信号と、前記第1のクロック・ドメインと非同期の第2のクロック・ドメイン内の信号とを同期させる装置であって、複数の同期装置ステージであって、それぞれが前記第1のクロック・ドメインの第1のクロック信号を受ける第1のクロック入力と、前記第2のクロック・ドメインの第2のクロック信号を受ける第2のクロック入力と、前記第1のクロック信号と同期する第1のドメイン入力信号を受ける第1のドメイン入力と、前記第1のドメイン入力信号に応じ且つ第2のクロック信号と同期する第2のドメイ

ン出力信号を出す第2のドメイン出力とを有する、複数の同期装置ステージと、書き込みポインタであって、前記複数の同期装置ステージの中の1つが書き込みステージであるという表示をその中に記憶し、前記書き込みポインタにより前記複数の同期装置ステージの中の前記1つは第1のドメイン入力信号を受けると前記第1のドメイン入力信号を入力し、次に前記書き込みステージの前記記憶された表示を増分して前記複数の同期装置ステージの循環シーケンス内の次の同期装置ステージを表示する、書き込みポインタと、読み取りポインタであって、前記複数の同期装置ステージの中の1つが読み取りステージであるという表示をその中に記憶し、前記読み取りポインタにより前記同期装置ステージの中の前記1つは前記第2のクロック信号と同期すると前記第2のドメイン出力を出し、次に前記読み取りステージの前記記憶された表示を増分して前記複数の同期装置ステージの前記循環シーケンス内の前記次の同期装置ステージを表示する、読み取りポインタと、を備え、複数の第1のドメイン入力信号は前記同期ステージの対応する1つの中の前記第2のクロック信号と、同時に種々の同期状態にある、信号の同期をとる装置。

【0044】(2) 第1のクロック・ドメインから、前記第1のクロック・ドメインと非同期の第2のクロック・ドメインにデータを転送するデータ転送装置であって、複数の同期装置ステージであって、それぞれが前記第1のクロック・ドメインの第1のクロック信号を受ける第1のクロック入力と、前記第2のクロック・ドメインの第2のクロック信号を受ける第2のクロック入力を含み、各同期装置ステージは、データ・レジスタであって、前記第1のクロック信号と同期する第1のクロック・ドメイン・データを受けて前記第1のクロック・ドメイン・データをその中に記憶するデータ入力と、前記第2のクロック信号と同期してその中からデータを取り出すデータ出力とを有する、データ・レジスタと、同期回路であって、前記第1のクロック信号と同期する第1のドメイン書き込み要求信号を受ける第1のドメイン入力と、前記第1のドメイン書き込み要求信号に応じ且つ第2のクロック信号と同期する第2のドメイン読み取り可能信号を出す第2のドメイン出力とを有する、同期回路と、を有する、複数の同期装置ステージと、書き込みポインタであって、前記複数の同期装置ステージの中の1つが書き込みステージであるという表示をその中に記憶し、前記書き込みポインタにより前記複数の同期装置ステージの中の前記1つは前記第1のドメイン書き込み要求信号を受けると第1のドメインデータを前記データ記憶装置に書き込み、次に前記書き込みステージの前記記憶された表示を増分して前記複数の同期装置ステージの循環シーケンス内の次の同期装置ステージを表示する、書き込みポインタと、読み取りポインタであって、前記複数の同期装置ステージの中の1つが読み取りステージであるという表示をそ

の中に記憶し、前記読み取りポインタにより前記同期装置の前記1つは、前記第2のクロック信号と同期して対応する第2のドメイン読み取り可能信号を出力すると前記第2のドメイン・データを前記データ記憶装置から取り出し、次に前記読み取りステージの前記記憶された表示を増分して前記複数の同期装置ステージの前記循環シーケンス内の前記次の同期装置ステージを表示する、読み取りポインタと、マルチプレクサであって、前記読み取りポインタに接続し、それぞれが前記複数の同期装置ステージの中の対応する1つの前記データ出力に接続する複数の入力とデータ出力とを有し、前記読み取りポインタの前記記憶された表示に対応する前記複数の入力の中の1つからのデータを前記データ出力で選択する、マルチプレクサと、を備え、複数の第1のドメイン書き込み要求信号は前記同期ステージの対応する1つの中の前記第2のクロック信号と、同時に種々の同期状態にある、データ転送装置。

【0045】(3) 前記各同期装置ステージの前記同期回路は、前記第1のドメイン書き込み要求信号を受けるセット入力と、リセット入力と、書き込み要求信号を受けるとセットされる出力とを有する、フル信号セット／リセット・フリップフロップと、セット入力と、前記第2ドメイン読み取り要求信号を受けるリセット入力と、読み取り要求信号を受けるとリセットされる出力とを有する、非空信号セット／リセット・フリップフロップと、前記非空セット／リセット・フリップフロップの前記出力に接続する入力と出力とを有する、インバータと、前記インバータの前記出力に接続する入力と、前記第1のクロック信号を受けるクロック入力と、クリア入力と、前記入力が所定の論理状態移行を行ったことを示すエッジ検出信号を生成する出力とを有する、第1の非同期エッジ検出器と、第1の同期論理ブロックであって、前記第1の非同期エッジ検出器の前記出力に接続する入力と、前記第1のクロック信号を受けるクロック入力と、クリア入力と、出力であって前記クリア入力と、前記フル信号セット／リセット・フリップフロップの前記リセット入力と、前記第1の非同期エッジ検出器の前記クリア入力とに接続して、前記第1の非同期エッジ検出器からの入力を検出すると前記第1のクロック信号と同期する信号を生成する出力と、を有する、第1の同期論理ブロックと、前記フル信号セット／リセット・フリップフロップの前記出力に接続する入力と、前記第2のクロック信号を受けるクロック入力と、クリア入力と、前記入力が所定の論理状態移行を行ったことを示すエッジ検出信号を生成する出力と、を有する、第2の非同期エッジ検出器と、第2の同期論理ブロックであって、前記第2の非同期エッジ検出器の前記出力に接続する入力と、前記第2のクロック信号を受けるクロック入力と、クリア入力と、出力であって前記クリア入力と、前記非空信号セット／リセット・フリップフロップの前記セット入力と、

前記第2の非同期エッジ検出器の前記クリア入力とに接続し、前記第1の非同期エッジ検出器からの入力を検出すると前記第1のクロック信号と同期する信号を生成する出力と、を有する、第2の同期論理ブロックと、を含む、(2)に記載のデータ転送装置。

【0046】(4) 前記第1および第2の非同期エッジ検出器はそれぞれ、前記非同期エッジ検出器の前記入力に接続する逆セット入力と、前記対応するクロック信号を受けるクロック入力と、D入力と、出力とを有する、第1のDフリップフロップと、前記非同期エッジ検出器の前記入力に接続する第1の入力と、前記第1のDフリップフロップの前記出力に接続する第2の入力と、第3の入力と、出力とを有する、NANDゲートと、前記NANDゲートの前記入力に接続する逆セット入力と、前記対応するクロック信号を受けるクロック入力と、D入力と、前記非同期エッジ検出器の前記出力に接続する出力とを有する、第2のDフリップフロップと、前記第2のDフリップフロップの前記出力に接続する入力と、前記第1のDフリップフロップの前記D入力に接続する出力と、前記NANDゲートの前記第3の入力と、前記第2のDフリップフロップの前記D入力とを有する、インバータと、を含む、(3)に記載のデータ転送装置。

【0047】(5) 前記第1および第2の非同期論理ブロックはそれぞれ、前記同期論理ブロックの前記入力に接続する非反転入力と、反転入力と、出力とを有する、第1のNANDゲートと、前記対応するクロック信号を受けるクロック入力と、前記第1のNANDゲートの前記出力に接続するD入力と、出力とを有する、第1のDフリップフロップと、前記第1のDフリップフロップの前記出力に接続する非点反転入力と、反転入力と、出力とを有する、第2のNANDゲートと、前記対応するクロック信号を受けるクロック入力と、前記第2のNANDゲートの前記出力に接続するD入力と、前記第1のNANDゲートの前記反転入力と、前記第2のNANDゲートの前記反転入力と、前記同期論理ブロックの前記出力に接続する出力とを有する、第2のDフリップフロップと、を含む、(3)に記載のデータ転送装置。

【0048】(6) 本発明は、第1のクロック・ドメインと、第1のクロック・ドメインと非同期の第2のクロック・ドメインとの間の同期のためのデータ同期装置である。本発明は2つのクロック・ドメインの間のデータのバイオライン処理を行う。複数の同期装置ステージはそれぞれデータ・レジスタ(601、602、603、604、605)と同期回路(611、612、613、614、615)を含む。同期回路は第1のドメインの書き込み要求信号と第2のクロック信号とを同期させる。書き込みポインタ(625)により、1つの同期装置ステージは第1のドメインの書き込み要求信号(321)を受けて第1のドメイン・データを書き込むこと

ができる。次に書き込みポインタを増分して、循環シーケンス内の次の同期装置ステージを表示する。読み取りポインタ(635)により、出力が第2のクロック信号と同期すると、表示された読み取りステージは対応するデータ・レジスタからデータを取り出すことができる。次に読み取りポインタを増分して、循環シーケンス内の次の同期装置ステージを表示する。複数の第1のドメイン書き込み要求信号は、同期装置ステージに対応する1つの中で第2のクロック信号と、同時に種々の同期状態にある。

【図面の簡単な説明】

本発明の種々の態様を以下の図に示す。

【図1】本発明が適用可能な、ハブおよびポート構造を持つ転送コントローラの基本的な主機能のブロック図。

【図2】ポートの1つに同期装置とアプリケーション・ユニットを持つハブ・インターフェースの基本的な接続。

【図3】本発明の双方向同期装置の1ステージの機能的・ビルディング・ブロックの接続。

【図4】図3の同期装置論理ブロックのゲート・レベル

の論理図。

【図5】図3の非同期エッジ検出器ブロックのゲート・レベルの論理図。

【図6】双方向同期装置ステージと、FIFOデータバス・レジスタと、ポインタ/デコード論理と、マルチステージ・パイプライン処理同期装置内のクロックおよび制御信号の流れとを示す、本発明のマルチステージ・パイプライン処理同期装置の機能ブロック図。

【図7】書き込み動作の完了後に同期読み取りを行う、書き込みサイクルに重点を置いた本発明のマルチステージ・パイプライン処理同期装置の原理を示す流れ図。

【図8】読み取り動作の完了後に同期書き込みを行う、読み取りサイクルに重点を置いた本発明のマルチステージ・パイプライン処理同期装置の原理を示す流れ図。

【符号の説明】

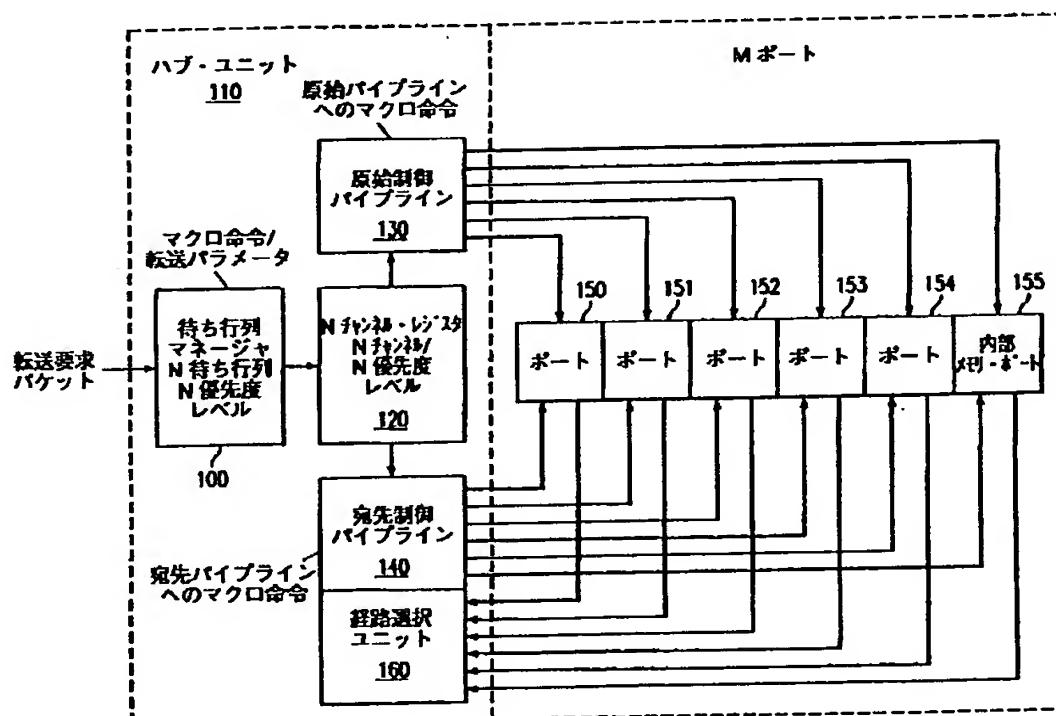
601-605 データ・レジスタ

611-615 同期回路

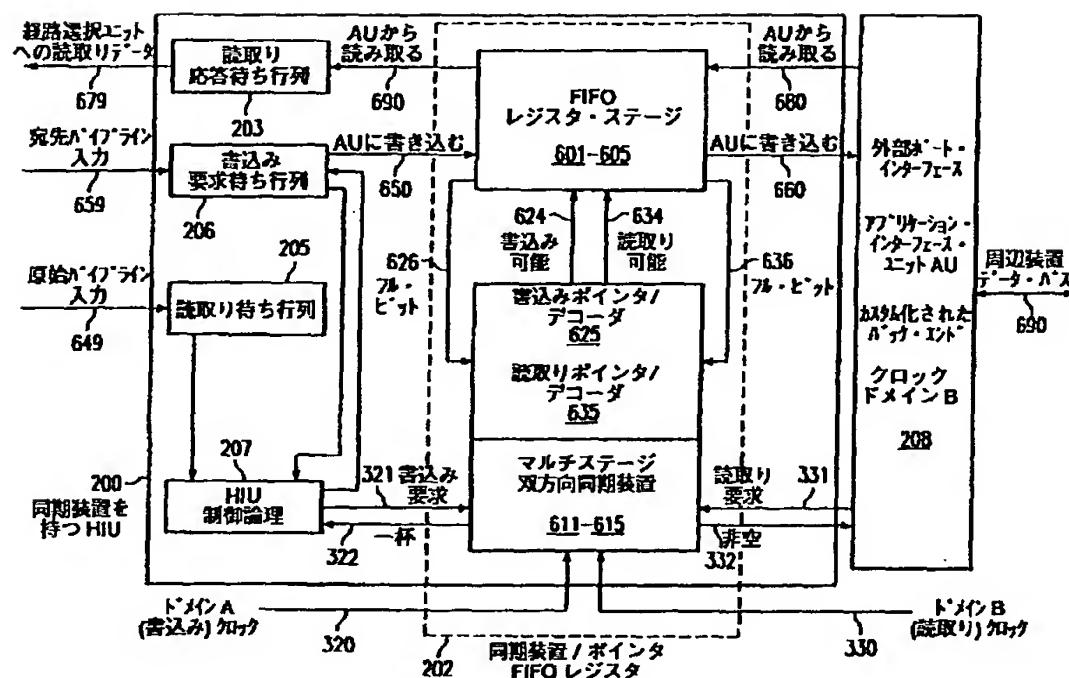
625 書込みポインタ

635 読取りポインタ

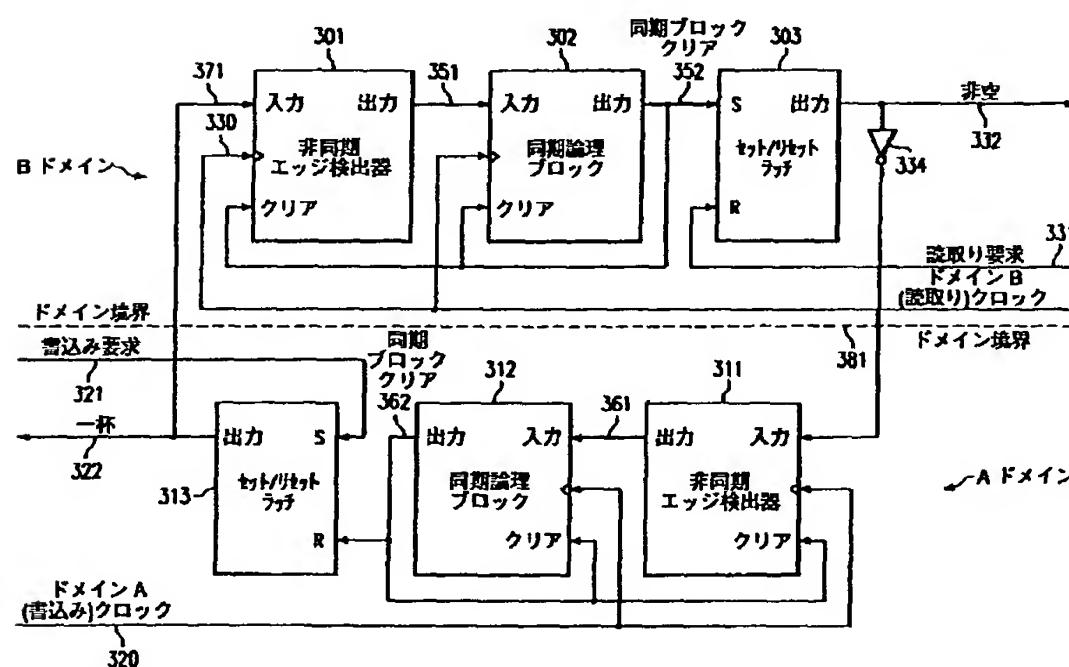
【図1】



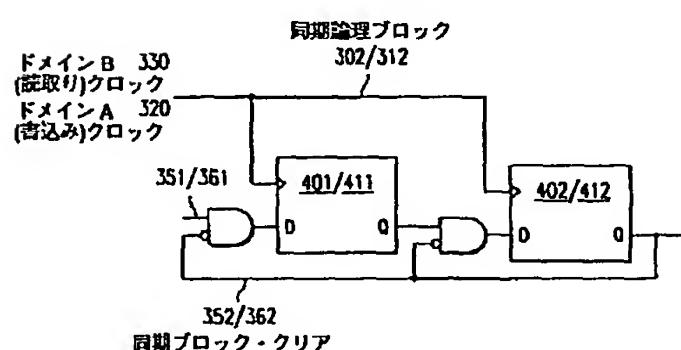
【図2】



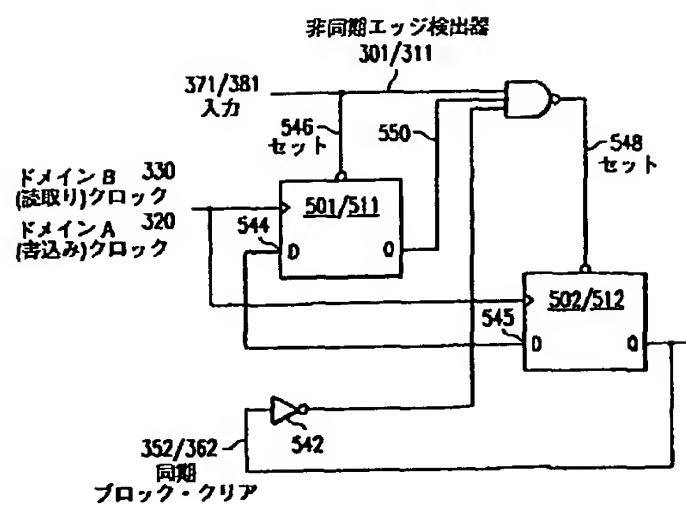
【图3】



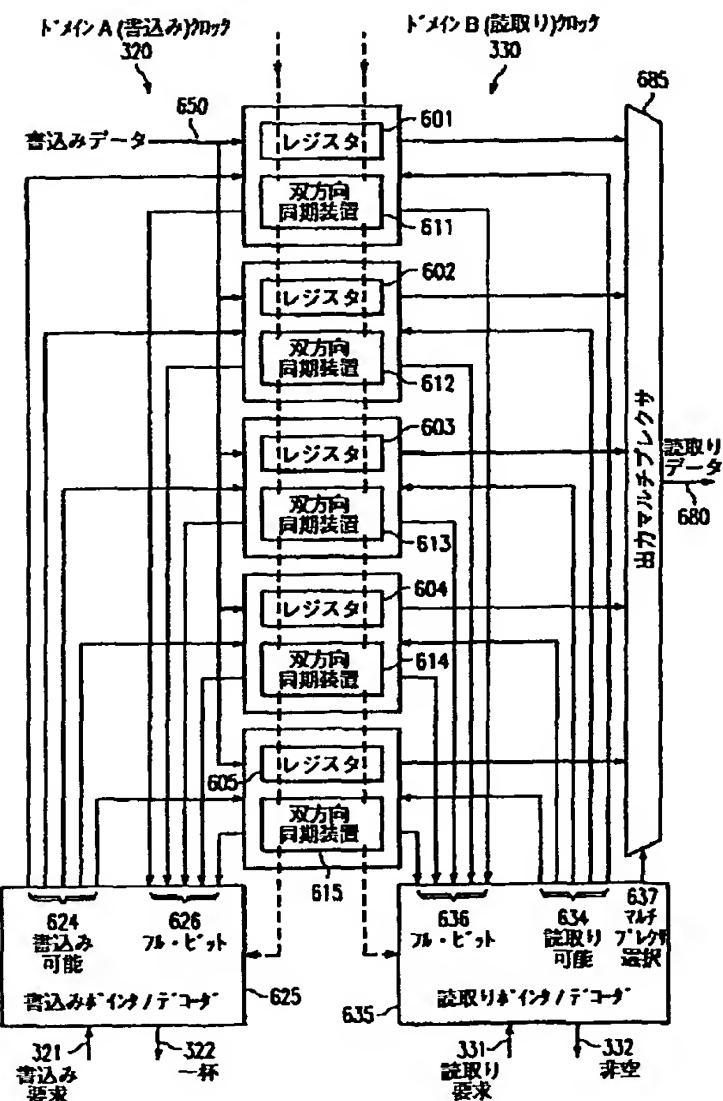
【图4】



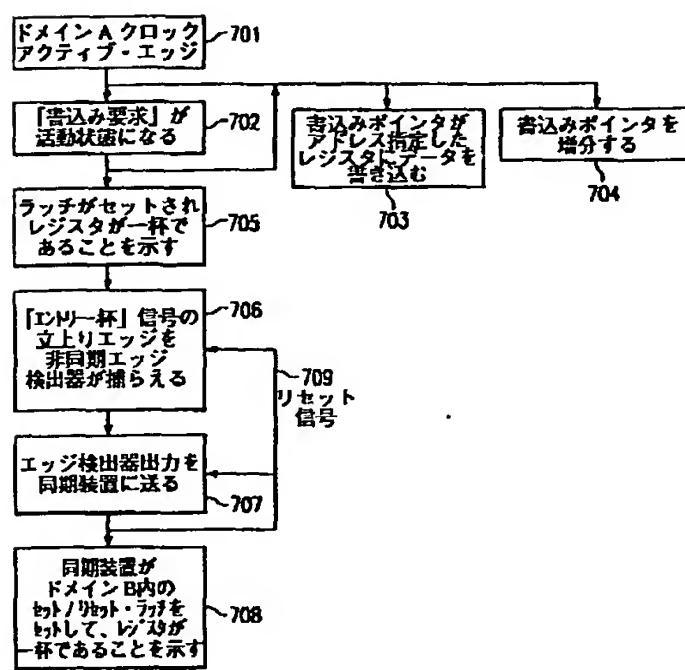
【図5】



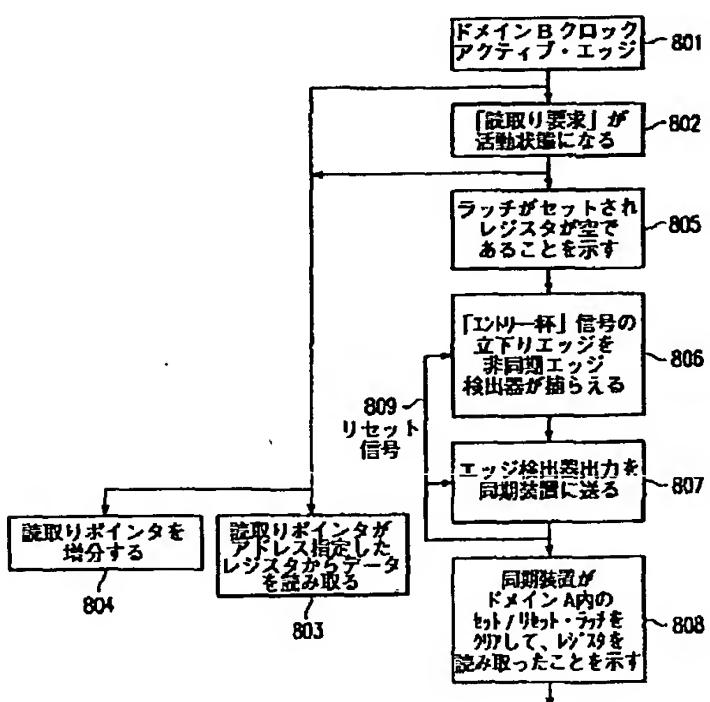
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 イーアン ロバートソン  
イギリス国 ベドフォードシャー、グラン  
ジ レーン、20